



Divisores de frecuencia digital

El JK flip-flop es un divisor-por-dos, porque el cambia de estado cada vez que un pulso activo alcanza su entrada; esto es, el primer pulso SETS (pone) al JK en lógica 1 (nivel H), y el segundo pulso lo RESETS (devuelve) a lógica 0 (nivel L).

FIGURA 19 Distintas formas de implementar circuitos Shmitt-Trigger con compuertas básicas HM

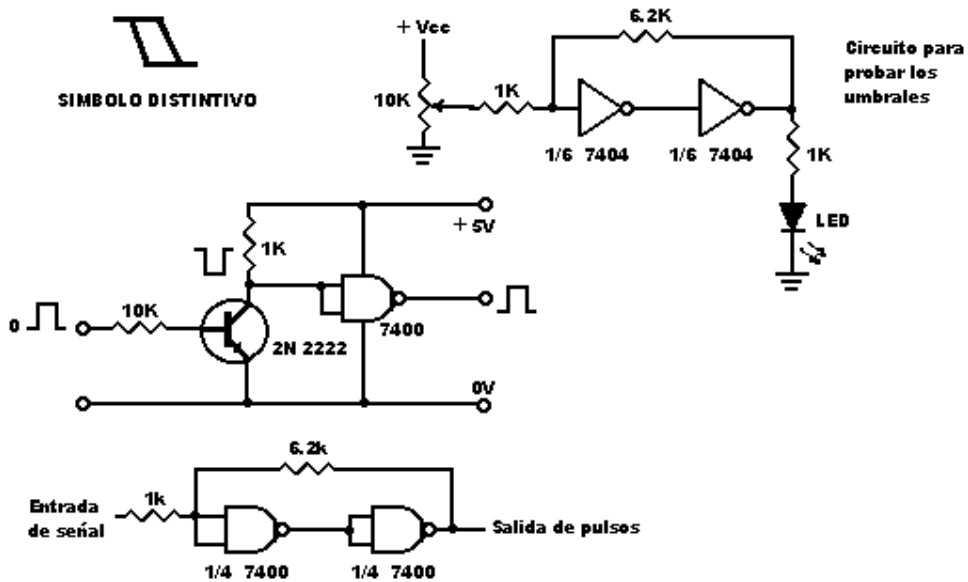
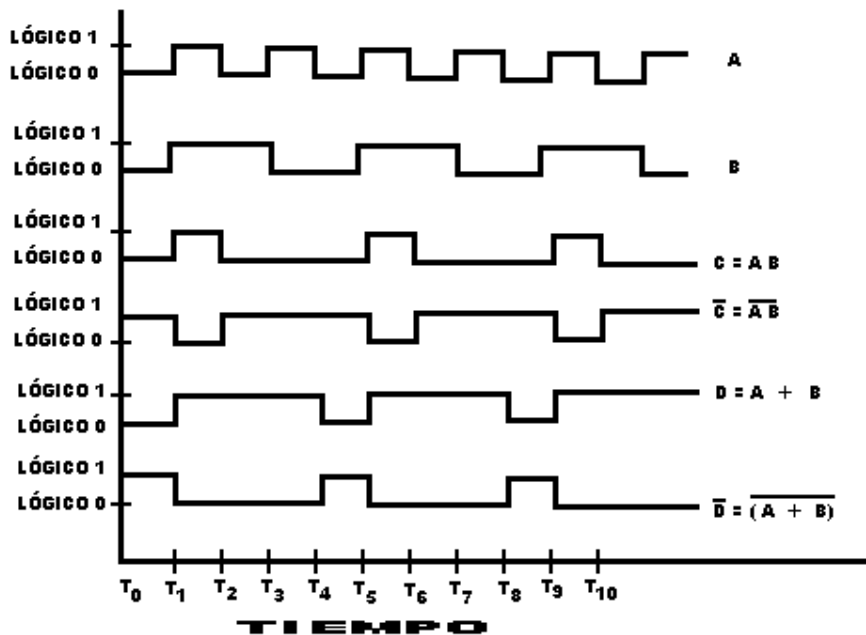
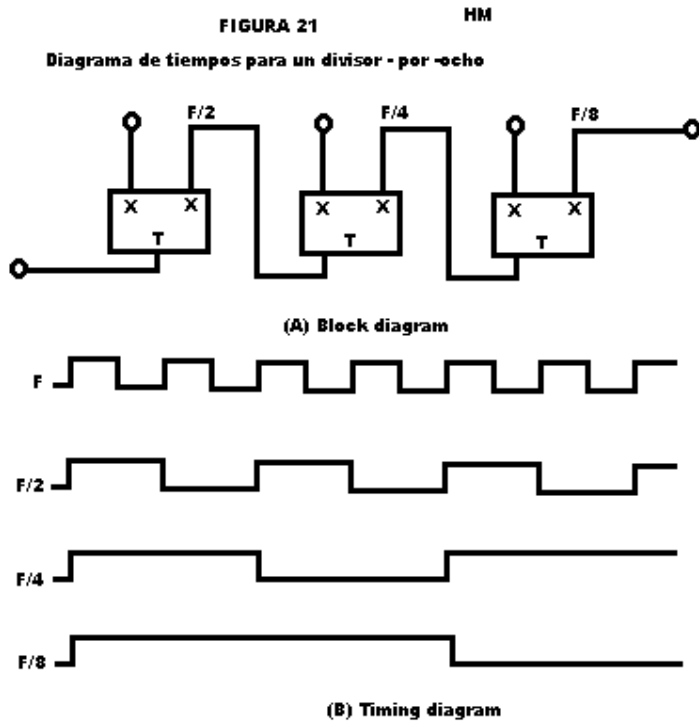


FIGURA 20 El diagrama de tiempos muestra relaciones de funciones lógicas variando con el paso del tiempo.



Así, se requieren dos pulsos de entrada para proporcionar un pulso de salida. Las variables A y B de la figura 20 fueron escogidas para ilustrar esta división. Podemos considerar que A es la entrada para JK, y que B es su salida. Observemos que, por cada segmento igual de tiempo, sólo hay en B una cantidad de pulsos igual a la mitad de los pulsos presentes en A. Consecuentemente, la frecuencia de B es la mitad de la de A.

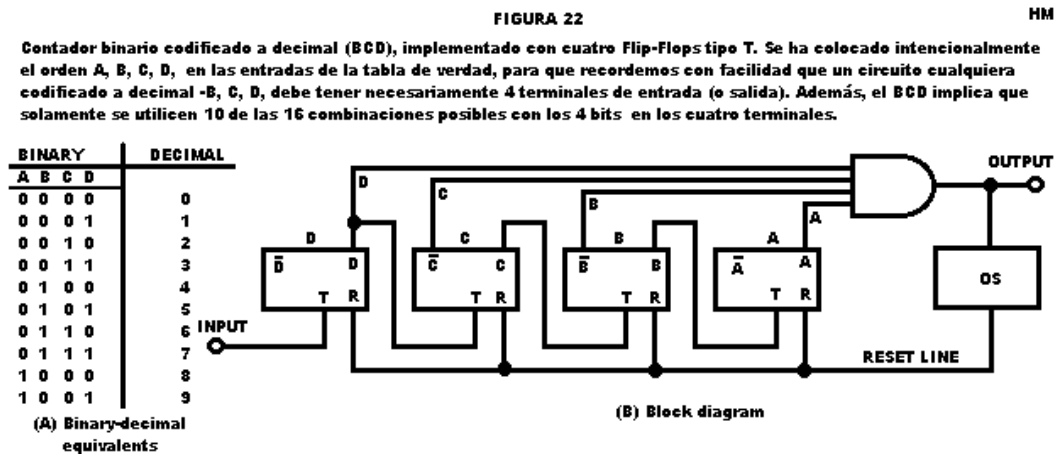
Si dos JK's son conectados en cascada (con la salida del primero manejando la entrada del segundo), el resultado será un circuito divisor-por-cuatro, porque la división por 2 del primer JK es dividida nuevamente por 2 en el segundo JK.



Cuando se conectan en cascada flip-flops JK, el resultado es una división por 2^n (2 a la segunda potencia n), donde "n" es el número de etapas en cascada. así, tres JK's en cascada dividirán por 8, porque $2(3) = 8$. Ver en la figura 21 el diagrama de tiempos para un divisor por 8. 2^n significa que se debe multiplicar entre sí la base 2 un número "n" de veces, para obtener la cantidad que representa.

Es bastante fácil hacer divisiones cuyo divisor sea un número entero potencia de 2. Es poco más complicado si se desea dividir por diez,

por ejemplo, porque tres JK's dividen por 8 y un cuarto JK's dividiría por 16. Es necesario, entonces, usar cuatro JK's y monitorizar la cantidad acumulada. Cuando la cantidad alcance diez, es necesario proveer un pulso de salida y reset todos los JK's para que arranquen de nuevo en cero. Para hacer esta división por 10 se consiguen circuitos integrados, conocidos como DIVISOR POR DECADAS, pero se puede implementar como aparece en el diagrama lógico de la figura 22.



Un circuito divisor-por-diez podrá, en efecto, contar de 0 a 9. A la izquierda, en la figura 21, aparecen representados los números binarios con su equivalente decimal al frente (observemos que, la acción descrita por esta tabla, implica que cada etapa del circuito lógico cambie de estado solamente cuando la etapa precedente pasa a lógica 1 a lógica 0, es decir, únicamente cuando "caiga el pulso").

Las letras A, B, C y D se refieren a los JK's del diagrama en bloques (block diagram). Los JK's están numerados de derecha a izquierda de tal forma que sus estados, cuando se tabulen, aparezcan en el orden convencional establecido para los números binarios. Cuando todos los flip-flops están en el estado lógico 0, ellos tienen el número CERO. Cuando A está en lógica 1, C en lógica 0, y D está en lógica 1, los flip-flops tienen número 5. El razonamiento anterior se puede aplicar para cualquier número, entre 0 y 15.

Para dividir por 10, es necesario detectar el número 9, y aprovechar la caída de su pulso para reponer todas las etapas del circuito. Para este número, A es lógica 1, B es lógica 0, C es lógica 0 y D es lógica 1, datos que escritos en forma de expresión Booleana nos da lo siguiente:

$E = A \text{ no-B no-C D}$, que se lee "E es igual a A and no-B and no-C and D" (el and significa la conjunción y en español, pero se ha dejado su equivalente inglés para visualizar mejor la clase de compuerta electrónica necesaria para implementar esta expresión del álgebra de boole: la AND).

Como se muestra en la parte superior de la figura 22, se usa una compuerta NAND de cuatro entradas para implementar esta función. Observemos que los JK flip-flops proporcionan directamente las salidas para No-B y NO-C. La salida B es lógica 1 cuando B no es lógica 1. Toda vez que el número 9 es detectado, la salida de la compuerta AND se pasa a lógica 1. Este nivel lógico sirve como señal de salida para el circuito divisor-por-diez, y como señal de reset para todos los JK. Observemos que se ha incluido un circuito monoestable one-shot (OS) entre la salida y la línea de entrada reset para los flip-flops. El monoestable genera un pulso de longitud definida cada vez que el DATA PULSE cae (cada que el pulso propio del divisor cambia de nivel alto a nivel bajo), de ancho suficiente para dar tiempo a que todos los flip-flops se repongan (recordemos que está de por medio el tiempo de propagación, que, aunque es de unos 20 nanosegundos es TTL, es digno de tener en cuenta). Este mismo principio de REALIMENTACION (feedback) es usado para generar la salida y el reset de cualquier otro divisor.

Una excelente ventaja del divisor digital de frecuencia es exactitud; no se puede decir lo mismo cuando se trata de obtener una baja frecuencia por **HETERODINACION**, ya que la estabilidad del oscilador heterodino afecta directamente la frecuencia de salida. Por ejemplo, si se quiere bajar la frecuencia de una señal portadora FM-100Mhz. de tal forma que ella pueda ser medida en un rango de 1Mhz, bastará con usar en cascada dos circuitos divisores-por-diez ($1/10 \times 1/10 = 1/100$)m y no es necesario depender de la buena o mala estabilidad de un circuito oscilador para heterodinación (heterodinar = mezclar, proceso usado en los radio-receptores comunes para "separar las emisoras"). Conviene recordar todo esto, por ser el procedimiento básico que se está imponiendo en sintonizadores modernos de radio y televisión.

Este material didáctico es de uso educativo, por ningún motivo se permite su uso comercial. Si algún sitio web desea publicarlo, puede hacerlo, siempre que se indique la fuente.

Copyright © electronica2000.com. Todos los derechos reservados.